

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.

(12) REGISTRATION PATENT GAZETTE (B1)

(11) Registration No.: 10-0234361
(24) Registration Date: 16 September 1999
(21) Application No.: 10-1996-0021856
(22) Application Date: 17 June 1996
(65) Publication No.: P1998-0006321
(43) Publication Date: 30 March 1998

(73) Applicant: Samsung Electronics Co., Ltd. Jong-yong Yun
416 Maetan 3-dong, Paldal-ku, Suwon-city, Kyunggi-do, Rep. of Korea

(72) Inventor: Chang-seok Kang
103-904, Hyundai Apt., 810-1, Maetan-dong, Paldal-ku,
Suwon-city, Kyunggi-do, Rep. of Korea

(74) Attorney: Min-sik Noh, Youn-pil Lee, Sang-bin Jung

Examiner: Yang-whan Shin

Title of the Invention:

Semiconductor Memory Device Having Ferroelectric Capacitor and Manufacturing Method thereof

Abstract:

A semiconductor memory device having a ferroelectric capacitor and a manufacturing method thereof is described.

The semiconductor memory device includes a lower electrode formed on a semiconductor substrate, a dielectric layer formed on the lower electrode, an upper electrode formed on the dielectric layer and a first material layer formed of a semiconductor and/or an insulator on the upper electrode.

Accordingly, since a semiconductor layer or a resistor layer is formed on the upper layer of a capacitor, the semiconductor layer or the resistance layer can be used as a resistance layer of a peripheral circuit area without degrading the characteristics of the capacitor, the bonding characteristic between the upper electrode and an interconnection layer can be improved, and the bonding characteristic between a platinum (Pt) layer of the upper electrode and a ferroelectric layer can be improved.

kpb

(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) Int. Cl.		(11) 등록번호	10-0234361
H01L 27 / 108		(24) 등록일자	1999년09월 16일
(21) 출원번호	10-1996-0021856	(65) 공개번호	특 1998-0006312
(22) 출원일자	1996년06월 17일	(43) 공개일자	1998년03월 30일
(73) 특허권자	삼성전자주식회사 윤종용 경기도 수원시 팔달구 매탄3동 416		
(72) 발명자	강창석 경기도 수원시 팔달구 매탄동 810-1번지 현대아파트 103동 904호		
(74) 대리인	노만식, 이영필, 정상빈		
심사관 : 신양환			
(54) 강유전체 캐패시터를 구비하는 반도체 메모리장치 및그제조방법			

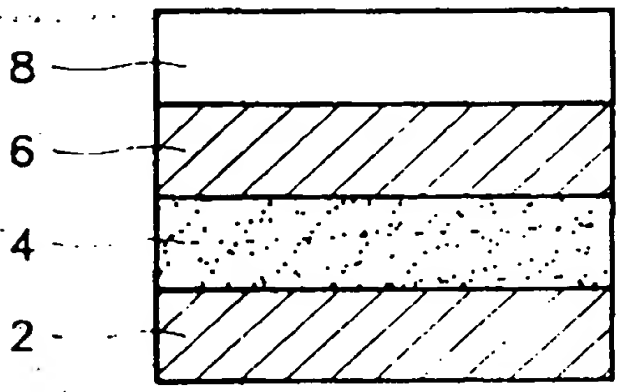
요약

강유전체 캐패시터를 구비하는 반도체 메모리장치 및 그 제조방법에 대해 기재되어 있다.

이는, 반도체기판 상에 형성된 하부전극, 하부전극 상에 형성된 유전체막, 유전체막 상에 형성된 상부전극 및 상부전극 상에 반도체 및/또는 절연체로 이루어진 제1물질을 구비하는 것을 특징으로 한다.

따라서, 캐패시터의 상부전극 위에 반도체층 또는 저항체층을 삽입함으로써, 캐패시터 특성의 열화없이 반도체층 또는 저항체층을 주변회로 영역의 저항체층으로 사용할 수 있고, 상부전극과 배선층의 접착특성을 향상시킬 수 있으며, 상부전극인 백금(Pt)층과 강유전체막 사이의 접착특성을 향상시킬 수 있다.

대표도



명세서

[발명의 명칭]

강유전체 캐패시터를 구비하는 반도체 메모리장치 및 그 제조방법

[도면의 간단한 설명]

제1도는 종래의 일 방법에 의한 강유전체 캐패시터의 전극 형성방법을 설명하기 위한 단면도이다.

제2도는 종래의 다른 방법에 의한 강유전체 캐패시터의 형성방법을 설명하기 위한 단면도이다.

제3a도 및 제3b도는 종래의 또다른 방법에 의한 강유전체 캐패시터의 제조방법을 설명하기 위한 단면도들이다.

제4도는 본 발명에 의한 강유전체 캐패시터를 구비하는 반도체 메모리장치의 단면을 도시한 것이다.

제5a도 내지 제5g도는 본 발명의 제1 실시예에 의한 반도체 메모리장치의 제조방법을 설명하기 위하여 공정 수순에 따라 도시한 단면도들이다.

제6도는 본 발명의 제2 실시예에 의한 반도체 메모리장치의 제조방법을 설명하기 위한 단면도이다.

제7도는 본 발명의 제3 실시예에 의한 반도체 메모리장치의 제조방법을 설명하기 위한 단면도이다.

[발명의 상세한 설명]

본 발명은 반도체 메모리장치 및 그 제조방법에 관한 것으로, 특히 강유전체를 유전체막으로 사용하는 강유전체 캐패시터를 구비하는 반도체 메모리장치 및 그 제조방법에 관한 것이다.

일반적으로 반도체 메모리장치, 예컨대 디램(Dynamic Random Access Memory : 이하 DRAM이라 칭함)은 집적도의 증가와 더불어 단위 셀의 면적이 급속하게 감소하고 있다. 메모리 셀 면적의 감소에 따른 셀 크기, 단층의 감소는 DRAM의 집적도 증가에 심각한 장애요인이 되는데, 셀 캐패시턴스의 감소는 메모리 셀의 독출능력을 저하시키고, 소프트 에러(soft error)율을 증가시킬 뿐만 아니라, 저전압에서의 소자동작을 어렵게 하여 소자동작시 전력소모를 증가시킨다. 따라서, 메모리 셀의 동작특성을 저하시키지 않을 정도의 충분한 셀 캐패시턴스의 확보가 요구된다.

제한된 셀 면적에서 메모리 셀의 캐패시턴스를 증가시키기 위한 많은 방법들이 제안되고 있는데, 종래의 방법의 세가지로 나뉘어진다. 즉, ① 유전체막을 박막화하는 방법, ② 캐패시터의 유효면적을 증가시키는 방법, ③ 유전상수가 큰 물질을 유전체막으로 사용하는 방법 등이다. 이중 첫 번째 방법, 즉 유전체막의 두께를 100Å 이하로 박막화하는 경우에는, 파울러-노드하임 전류(Fowler-Nodhein current)에 의해 소자의 신뢰성이 저하되므로, 대용량 메모리장치에 적용하기가 어렵다는 단점이 있다. 두 번째 방법, 즉 캐패시터의 구조를 입체화하는 방법은 3차원구조의 캐패시터를 제조하기 위한 복잡한 공정이 수반되고, 이에 따라 제조단가의 상승을 피할 수 없는 단점이 있다.

이에 따라, 최근에는 세 번째 방법인 유전율이 큰 페로브스카이트(Perovskite) 구조의 산화물, 즉 이온 유전체(이하, "강유전체"라 통칭함), 예를 들어 피. 지. 티. 이(PZT : PbZrTiO₃) 또는 비. 에스. 티(BST : Ba_{0.7}Sr_{0.3}TiO₃)와 같은 강유전체를 사용하여 유전체막을 형성하는 방법들이 제안되고 있다. 상기 강유전체는 기존의 유전체막과 구별되는 가리코산화막, 실리코질화막 또는 산화탄탈륨(Ta₂O₅) 막과는 달리 자발분극 현상을 가지며, 벌크(bulk) 상온에서 약 1,000 정도의 높은 유전상수를 갖는다. 이러한 강유전체를 유전체막으로 사용하는 경우, 상기 유전체막을 500Å 이하의 두께로 형성하더라도 동가 산화막 두께(equivalent oxide thickness)를 10Å 이하로 박막화할 수 있다는 장점이 있다.

한편, 강유전체를 캐패시터의 유전체막으로 사용하기 위해서는 전극물질이 중요한데, 강유전체 캐패시터의 전극물질로서는, ① 전극 위에서 페로브스카이트 구조의 막질의 형성이 가능할 것, ② 전극과 강유전체막의 계면에서의 저유전체막의

상성이 없을 것, ③ 실리콘 또는 강유전체의 구성원자들의 상호 확산이 일어나지 않을 것, 그리고 ④ 전극의 패터닝이 쉬울 것 등의 조건을 갖추어야 한다. 현재 강유전체를 유전체막으로 사용하는 메모리소자의 전극으로서는 내 산화성이면서 고전도성 물질인 백금(Pt : Platinum), 루테늄(Ru : Ruthenium), 이리듐(Ir : Iridium) 등의 귀금속류와, 산화이리듐(IrO₂) 또는 산화루테늄(RuO₂) 등의 전도성 산화물이 연구되고 있다.

한편, 산화막/질화막/산화막(Oxide/Nitride/Oxide : 이하 ONO라 칭함) 구조의 막을 유전체막으로 사용하고 폴리실리콘을 전극으로 사용하는 통상의 캐패시터에서는 캐패시터의 상부전극을 주변회로 영역의 저항층으로 사용하고 있다. 그러나, 상기한 귀금속류 및 그 산화물을 캐패시터의 상부전극으로 사용하는 강유전체 캐패시터의 경우에는 캐패시터의 상부전극을 주변회로 영역의 저항층으로 사용하는 것이 불가능하다.

일반적으로, 메모리소자에 사용되는 저항층은 주변회로 영역의 회로에 사용되는데, 주로 전압발생기(voltage generator)용, 알 씨 딜레이(RC delay)용으로 사용되며, 최대 수 k Ω 정도의 저항값이 요구된다. 이러한 주변회로 영역의 저항층은 저항값(resistance)이 작은 경우에는 셀 영역의 게이트전극용 폴리실리콘을 이용해서 형성하고, 저항값이 큰 경우에는 캐패시터의 상부전극용 폴리실리콘을 사용하여 형성하고 있다. 그러나, 메모리소자가 수 기가(G) 급 이상으로 고집적화되면 이러한 저항층 형성방법이 한계에 이르게 된다. 그 이유는, 수 기가(G)급 이상의 고집적화된 메모리소자에는 BST 또는 PZT와 같은 강유전체가 캐패시터의 유전체막으로 사용되고, 이러한 강유전체가 사용되는 캐패시터의 전극으로는 백금(Pt), 루테늄(Ru), 이리듐(Ir) 등의 귀금속류와 산화이리듐(IrO₂) 또는 산화루테늄(RuO₂) 등의 전도성 산화물이 사용되기 때문에 충분한 저항값을 얻기 어렵다. 또한, 이러한 고집적 메모리소자의 게이트전극 구조로는 텅스텐 실리사이드(WSi₃) 폴리실리콘 또는 티타늄 실리사이드(TiSi₂) 등 저저항 층의 저저항 구조가 사용되기 때문에, 충분한 저항값을 얻기 어렵다.

다음의 <표 1>은 강유전체 캐패시터의 전극과 캐패시터의 게이트 물질의 면저항(sheet resistance)을 다음의 표 1에 나타내었다.

[표 1]

전 극 물 질 (1500 Å)	면저항(Ω/\square)	게 이 트 물 질 (1500 Å)	면저항(Ω/\square)
백금(Pt)	0.71	WSi ₃ /poly-Si	6 - 7
이리듐(Ir)	0.34	TiSi ₂ /poly-Si	2 - 3
루테늄(Ru)	0.49	poly-Si-	≈ 100

상기 표 1에 나타난 바와 같이, 저저항 구조의 게이트 또는 강유전체의 상부전극으로 사용되는 백금(Pt)계의 금속류들은 비저항이 너무 낮기 때문에, 이들 물질을 주변회로 영역의 저항층으로 사용할 경우, 저항의 길이가 면저항에 반비례하여 길어지게 되므로, 집적화에 장애가 된다. 예를 들어, 저항을 만들려고 할 때 ONO 유전체막의 상부전극으로 사용되는 면저항 100 Ω/\square 인 폴리실리콘을 사용한다면, 저항 1k Ω 를 얻기 위해서는 100 μm 의 길이가 필요하지만, 면저항이 2 Ω/\square 인 WSi₃/폴리실리콘을 사용하면, 저항 1k Ω 를 얻기 위해서는 500 μm 의 길이가 필요하므로, 저항을 만들기 위한 공간을 많이 차지하게 된다. 또한, 강유전체의 상부전극으로 백금(Pt) 등을 사용할 경우에도 상기와 같은 문제가 발생하여, 캐패시터의 상부전극을 주변회로 영역의 저항층으로 사용하는 것이 불가능하게 된다.

다음에, 제 1 도 내지 제 3b 도를 참조하여 강유전체 캐패시터의 제조방법을 간략하게 설명하기로 한다.

제 1 도는 종래의 일 방법에 의한 강유전체 캐패시터의 전극 형성방법을 설명하기 위한 단면도로서, 미쓰비시

(Mitsubishi) 사(社)에서 1994년 VLSI Technology Digest of Technical papers ; pp. 149-150에 발표한 논문을 참조한 것이다.

제 1 도에 의하면, 백금(2)/ BST(4)/ 백금(6) 구조의 캐패시터 구조를 채택하고 있다. 그러나, 상기한 바와 같이 백금(Pt)은 비저항이 낮기 때문에 이 구조로는 상부전극(6)을 주변회로 영역의 저항층으로 사용하는 것이 불가능할 뿐만 아니라, 상부전극인 백금(6)과 그 상부에 형성되는 배선층인 알루미늄(Al ; 8) 막 사이의 접착(adhesion) 특성이 나쁜 단점이 있다.

제 2 도는 종래의 다른 방법에 의한 강유전체 캐패시터의 형성방법을 설명하기 위한 단면도로서, 미국 특허 제 5,005,012호를 참조한 것이다.

여기서는 상부전극을 다층으로 형성하는 방법을 제시하고 있는데, 도시된 바와 같이, 상부전극(16)과 배선 금속층(18) 사이에 도전성 장벽층(17)을 개재하고 있다. 이 구조는 제 1 도의 구조에 비해 접착특성이 개선되는 효과는 있지만, 캐패시터의 상부전극을 주변회로 영역의 저항층으로 사용할 수 없는 단점이 있다. 미설명된 도면부호 12는 하부전극, 13은 상기 하부전극(12)과 유전체막(14) 사이의 접착성을 좋게 하고, 상호 반응을 막기 위한 점착/ 장벽층, 14는 유전체막을 나타낸다.

제 3a 도는 종래의 또다른 방법에 의한 강유전체 캐패시터의 제조방법을 설명하기 위한 단면도로서, 일본특허 출원번호 1994-126057호를 참조한 것이다. 백금층(3)과 배선 금속층인 알루미늄층(38) 사이에 티타늄 나이트라이드(TiN), 텅스텐-타이탈륨(TiW)과 같은 고용점 금속층(37a)을 삽입하여 알루미늄(Al)과 백금(Pt)의 상호 확산을 방지하도록 되어 있다. 미설명된 도면부호 32는 하부전극, 34는 유전체막을 나타낸다.

제 3b 도는 종래의 또다른 방법에 의한 강유전체 캐패시터의 제조방법을 설명하기 위한 단면도로서, 미국특허 4,982,309호를 참조한 것이다. 도전성 산화물 전극(36)과 금속 배선층(38) 사이에 루테튬(Ru), 이리듐(Ir)과 같은 귀금속으로 이루어진 금속층(37b)이 삽입되어 있다. 미설명된 도면부호 32는 하부전극, 34는 유전체막을 나타낸다.

제 3a 도와 제 3b 도를 참조하면, 제 1 도 및 제 2 도의 경우와 마찬가지로 캐패시터의 상부전극을 주변회로 영역의 저항층으로 사용하는 것이 불가능하다. 또한, 제 3a 도의 경우, 백금(36) 및 고용점 금속층(37b)으로 이루어진 상부전극은 그 위에 얹힌 보론-인을 함유하는 실리콘막(Borophosphorous Silicate Glass ; 이하 BPSG라 칭함) 또는 도우프되지 않은 실리콘막(Undoped Silicate Glass ; 이하 USG라 칭함)과 같은 실리콘산화물을 기본으로 하는 중간절연막(도시되지 않음)에 접촉하게 된다. 따라서, 캐패시터 형성 후 600℃ 이상의 열처리에 의해 BPSG와 TiN이 반응을 일으키면서 스트레스를 유발하여 캐패시터의 특성이 열화되는 문제점이 있다. 이와 같이 캐패시터 형성후 열처리에 의해 BPSG와 TiN이 반응하여 캐패시터 특성이 저하되는 문제는 1993년 IEDM의 53~56 페이지에 잘 나타나 있다.

본 발명의 목적은 상부전극과 중간절연막 사이의 스트레스를 줄여 캐패시터의 특성이 열화되는 것을 방지할 수 있는 강유전체 캐패시터를 제공하는데 있다. 본 발명에 따른 강유전체 캐패시터는 상부전극과 배선층 사이의 접착특성이 우수한 반도체 메모리장치를 제공함에 있다.

본 발명의 다른 목적은 상기 반도체 메모리장치의 적합한 제조방법을 제공함에 있다.

본 발명을 달성하기 위하여 본 발명에 따른 반도체 메모리장치는, 반도체기판 상부에 형성된 하부전극과, 상기 하부전극 상부에 형성된 강유전체막 및 상기 강유전체막 상에 형성된 상부전극으로 이루어진 강유전체 캐패시터를 포함하는 복수의 메모리셀들 ; 상기 상부전극 상에 형성되고, 상기 상부전극과 중간절연막의 반응을 억제하는 장벽층으로 사용되는 제1 물질층 ; 상기 제1 물질층 상에 형성되고, 콘택홀이 형성된 중간절연막 ; 및 상기 중간절연막 상에 형성되고, 상기 강유전체 캐패시터의 상부전극과 전기적으로 접속된 배선층을 구비하는 것을 특징으로 한다.

본 발명을 달성하기 위하여 본 발명의 다른 반도체 메모리장치는 메모리셀 영역과 주변회로 영역을 포함하는 반도체기판 상에, 상기 하부전극 상에 형성된 강유전체막 및 상기 강유전체막 상에 형성된 상부전극으로 이루어진 강유전체 캐패시터를 포함하여 상기 메모리셀 영역에 형성된 복수의 강유전체 메모리셀들 ; 상기 강유전체 캐패시터의 상부전극

및 상기 주변화로 영역의 반도체기판 상에 반도체 및/또는 절연체로 형성되어, 상기 상부전극과 중간절연막 사이의 스트레스를 억제하고 주변화로 영역의 저항층으로 사용되는 제1 물질층 : 상기 제1 물질층 상에 형성되고, 콘택홀이 형성된 중간절연막 및 상기 중간절연막 상에 형성되고, 상기 강유전체 캐패시터의 상부전극과 전기적으로 접속된 배선층을 구비하는 것을 특징으로 한다.

상기 상부전극 및 하부전극은 백금(Pt), 루테튬(Ru), 이리듐(Ir), 팔라듐(Pd), 오스뮴(Os) 등의 금속과, 산화이리듐(IrO₂), 산화백금(platinum oxide), 산화오스뮴(Osmium oxide), 산화인듐(Indium oxide), 인듐주석산화물(Indium Tin Oxide : ITO) 또는 산화루테튬(RuO₂) 등의 전도성 산화물로 구성된 그룹에서 선택된 어느 하나 이상의 물질로 구성되는 것이 바람직하다.

상기 유전체막은 상기 페로프스카이트 구조의 산화물은 피.지.티(PZT), 납-티타늄 산화물(PbTiO₃), 납-란탄-티타늄 산화물(PbLaTiO₃), 바륨-티타늄 산화물(BaTiO₃), 비스무스-티타늄 산화물(BiTiO₃), 스트론튬-비스무스-탄탈륨 산화물(SrBiTaO₃), 비.에스.티(BST : BaSrTiO₃) 및 에스.티.오(STO : SrTiO₃)와 같은 페로프스카이트 구조의 산화물과, 비스무스-티타늄 산화물(Bi₂Ti₂O₇) 및 스트론튬-비스무스-탄탈륨 산화물(SrBiTaO₃)로 구성된 그룹에서 선택된 어느 하나로 이루어진다.

상기 제1 물질층은 5~500Ω/cm의 면저항을 갖는 물질층으로서, 예를 들어 폴리실리콘, 텅스텐 실리사이드(WSi), 실리콘 나이트라이드(SiN) 및 산화알루미늄(AlO₂)으로 구성된 그룹에서 선택된 어느 하나로 이루어진다.

상기 제1 물질층 상에 상기 제1 물질층과 배선층 사이의 반응을 방지하기 위한 제1 장벽층과, 상기 제1 장벽층 상에 배선층을 더 구비하는 것이 바람직하며, 상기 제1 장벽층이 티타늄(Ti)/ 티타늄 나이트라이드(TiN)의 이중막, 이리듐(Ir) 및 산화이리듐(IrO₂) 중의 어느 하나로 이루어진 것이 더욱 바람직하다.

또한, 상기 상부전극과 제1 물질층 사이에, 상기 상부전극과 제1 물질층의 상호 반응을 방지하기 위한 제2 장벽층을 더 구비할 수도 있다.

상기 다른 목적을 달성하기 위하여 본 발명에 따른 반도체 메모리장치의 제조 방법은, 메모리셀 영역과 주변화로 영역을 포함하는 반도체기판 상의 메모리셀 영역에 캐패시터의 하부전극을 형성하는 단계 : 상기 하부전극 상에 유전체막을 형성하는 단계 : 상기 유전체막 상에 상부전극용 도전층을 형성하는 단계 : 상기 상부전극용 도전층 및 유전체막을 패터닝하는 단계 : 결과물 상에 반도체 및/또는 절연체로 이루어진 제1 물질층을 형성한 후 패터닝하여 메모리셀 영역에서는 상부전극과 중간절연막 사이의 스트레스를 억제하는 장벽층으로 사용되고, 주변화로 영역에서는 저항층으로 사용되는 제1 물질층 패턴을 형성하는 단계 : 결과물 상에 중간절연막을 형성한 후, 패터닝하여 배선층과 상부전극을 연결하는 콘택홀을 형성하는 단계 : 및 상기 상부전극과 전기적으로 접속된 배선층을 형성하는 단계를 포함하는 것을 특징으로 한다.

상기 상부전극 및 하부전극은 백금(Pt), 루테튬(Ru), 이리듐(Ir), 팔라듐(Pd), 오스뮴(Os) 등의 금속과, 산화이리듐(IrO₂), 산화백금(platinum oxide), 산화오스뮴(Osmium oxide), 산화인듐(Indium oxide), 인듐주석산화물(Indium Tin Oxide : ITO) 또는 산화루테튬(RuO₂) 등의 전도성 산화물로 구성된 그룹에서 선택된 어느 하나 이상의 물질로 형성하는 것이 바람직하다.

그리고, 상기 유전체막은 피.지.티(PZT), 납-티타늄 산화물(PbTiO₃), 납-란탄-티타늄 산화물(PbLaTiO₃), 바륨-티타늄 산화물(BaTiO₃), 비스무스-티타늄 산화물(BiTiO₃), 스트론튬-비스무스-탄탈륨 산화물(SrBiTaO₃), 비.에스.티(BST : BaSrTiO₃) 및 에스.티.오(STO : SrTiO₃)와 같은 페로프스카이트 구조의 산화물과, 비스무스-티타늄 산화물(Bi₂Ti₂O₇) 및 스트론튬-비스무스-탄탈륨 산화물(SrBiTaO₃)로 구성된 그룹에서 선택된 어느 하나로 형성하는 것이 바람직하다.

상기 제1 물질층은 5~500Ω/cm의 면저항을 갖는 물질층으로서, 예를 들어 폴리실리콘, 텅스텐 실리사이드(WSi), 실리콘 나이트라이드(SiN) 및 산화알루미늄(AlO₂)으로 구성된 그룹에서 선택된 어느 하나로 형성한다.

그리고, 상기 제1 물질층을 형성한 단계 이후에, 상기 제1 물질층과 배선층 사이의 반응을 방지하기 위하여 상기 제1 물질층 상에 티타늄(Ti)/ 티타늄 나이트라이드(TiN)의 이중막, 이리듐(Ir) 및 산화이리듐(IrO₂) 중의 어느 하나를 형성하는 단계를 더 구비할 수 있다.

또한, 상기 제1 물질층을 형성하기 전에, 상기 상부전극과 제1 물질층의 상호 반응을 방지하기 위한 제2 장벽층을 상기 상부전극용 도전층 상에 형성하는 단계를 더 구비하는 것이 바람직하다.

본 발명에 따르면, 캐패시터의 상부전극 위에 제1 물질층을 삽입함으로써, 상부전극과 층간절연막 사이의 스트레스를 억제하여 소자의 특성을 개선하며, 캐패시터 특성의 열화없이 제1 물질층을 주변회로 영역의 저항층을 형성할 수 있으며, 상부전극과 배선층의 접착특성을 향상시킬 수 있다.

이하, 첨부된 도면을 참조하여 본 발명을 더욱 상세히 설명하기로 한다.

[구조]

제 4 도는 본 발명에 의한 강유전체 캐패시터를 구비하는 반도체 메모리장치를 도시한 단면도이다.

도면 참조부호 40은 반도체기판, 42는 활성영역과 비활성영역을 한정하는 필드산화막, 44는 산화막, 질화막 또는 ONO 구조의 게이트절연막, 46은 폴리실리콘 또는 폴리사이드 구조의 게이트, 48은 트랜지스터의 드레인(도시되지 않음)과 접속된 비트라인, 50, 64는 층간절연막, 52는 캐패시터의 하부전극과 트랜지스터의 소오스(도시되지 않음)를 연결시키는 플러그, 54는 캐패시터의 하부전극, 56은 강유전체막, 58은 캐패시터의 상부전극, 62a는 반도체 또는 절연체로 이루어진 제1 물질층, 62b는 반도체 또는 절연체로 이루어진 주변회로 영역의 저항층, 68은 장벽층, 70은 배선층, 그리고 72는 보호막을 나타낸다.

반도체기판 상에 형성된 하부 물질층 상에, 하부전극(54), 강유전체막(56) 및 상부전극(58)을 구비하는 강유전체 캐패시터가 형성되어 있다. 상기 상부전극(58) 및 하부전극(54)은 백금(Pt), 루테늄(Ru), 이리듐(Ir), 팔라듐(Pd), 오스뮴(Os) 등의 금속과, 산화이리듐(IrO₂), 산화백금(platinum oxide), 산화오스뮴(Osmium oxide), 산화인듐(Indium oxide), 인듐 주석산화물(Indium Tin Oxide : ITO) 또는 산화루테늄(RuO₂) 등의 전도성 산화물로 구성된 그룹에서 선택된 어느 하나 이상의 물질로 이루어져 있다.

그리고, 상기 강유전체막(56)은 피.제.티(PZT), 납-티타늄 산화물(PbTiO₃), 납-란타넘-티타늄 산화물(PbLaTiO₃), 바륨-티타늄 산화물(BaTiO₃), 비스무스-티타늄 산화물(Bi₂Ti₂O₇), 스트론튬-비스무스-탄탈륨 산화물(SrBiTaO₇), 비.에스.티(BST : BaSrTiO₃) 및 에스.티.오(STO : SrTiO₃) 등과 같은 페로프스카이트 구조의 산화물과, 비스무스-티타늄 산화물(Bi₂Ti₂O₇) 및 스트론튬-비스무스-탄탈륨 산화물(SrBiTaO₇)로 구성된 그룹에서 선택된 어느 하나로 이루어져 있다.

상기 상부전극(58) 상에는 층간절연막과 상부전극의 스트레스를 억제하고 주변회로 영역의 저항층으로 사용할 수 있는 물질로서, 5~500Ω/cm의 면저항을 갖는 반도체 또는 절연체로 이루어진 제1 물질층(62a, 62b)이 형성되어 있다. 바람직하게는, 상기 제1 물질층은 폴리실리콘, 텅스텐 실리사이드(WSi)와 같은 반도체와, 실리콘 나이트라이드(SiN) 및 산화알루미늄(Al₂O₃)과 같은 절연체로 구성된 그룹에서 선택된 어느 하나로 이루어진다.

상기 제1 물질층(62a, 62b)이 폴리실리콘 또는 실리사이드와 같은 반도체로 형성될 경우 셀 영역의 상기 배선층(70)과 제1 물질층을 연결시키기 위한 콘택홀이 제1 물질층 표면에 직접 형성될 수도 있다. 이때, 셀 영역의 상기 제1 물질층(62a)은 배선층과 직접 접촉함으로써 상호 반응이 일어날 수 있는데, 이러한 상호반응을 방지하기 위하여 상기 제1 물질층(62a)과 배선층(70) 사이의 반응을 방지하기 위하여 도시된 것과 같이 제1 장벽층(68)을 더 구비하는 것이 바람직하다. 상기 제1 장벽층(68)은 티타늄(Ti)/ 티타늄 나이트라이드(TiN)의 이중막, 이리듐(Ir) 또는 산화이리듐(IrO₂) 중의 어느 하나로 이루어진다.

또한, 제 4 도와 같이, 셀 영역의 상부전극(74)과 제1 물질층(62a) 사이의 반응을 방지하기 위하여 제2 장벽층(76)을 더 구비할 수도 있다.

본 발명에 의한 강유전체 캐패시터를 구비하는 반도체 메모리장치에 따르면, 강유전체 캐패시터의 상부전극과 배선층 사이에, 주변회로 영역의 저항층으로 사용할 수 있을 정도의 비저항을 갖는 반도체 또는 절연체로 구성된 제1 물질층을 구비함으로써, 상부전극과 층간절연막 사이의 스트레스로 인한 소자특성의 열화를 방지할 수 있고, 상기 제1 물질층으로 주

변화로 영역의 저항층을 형성할 수 있다.

[제조방법]

제 5a 도 내지 제 5g 도, 제 6 도 및 제 7도는 본 발명의 바람직한 실시예들에 의한 반도체 메모리장치의 제조방법을 설명하기 위하여 도시한 단면도들이다.

[제 1 실시예]

제 5a 도 내지 제 5g 도는 본 발명의 제1 실시예에 의한 반도체 메모리장치의 제조방법을 설명하기 위하여 공정 순서에 따라 도시한 단면도들이다.

제 5a 도는 트랜지스터 및 콘택홀을 형성하는 단계를 도시한다.

이 단계는, 반도체기판을 활성영역과 비활성영역으로 분리하는 소자분리막을 형성하는 공정, 상기 반도체기판의 활성영역에 트랜지스터를 형성하는 공정, 상기 트랜지스터의 드레인과 접속되는 비트라인을 형성하는 공정, 결과물 상에 층간절연막을 형성하는 제4 공정 및 트랜지스터의 소오스와 캐패시터의 하부전극을 연결하는 플러그(plug)를 형성하는 공정으로 진행된다.

상세하게는, 먼저 반도체기판(40) 상에 선택적 산화방법(LOCOS : Local Oxidation of Silicon)과 같은 통상의 소자분리 공정을 적용하여 반도체기판을 활성영역과 비활성영역으로 한정하는 필드산화막(42)을 형성한 후, 게이트절연막(44), 게이트(46) 및 소오스/드레인(도시되지 않음)을 구비하는 트랜지스터를 통상의 방법으로 형성한다. 이어서, 상기 트랜지스터의 드레인과 접속하는 비트라인(48)을 형성한 후, 결과물 전면에 절연물질층을 증착한 다음 평탄화하여 층간절연막(50)을 형성한다. 다음에, 상기 층간절연막(50)을 부분적으로 식각하여 콘택홀을 형성한 후 상기 콘택홀을 도전물질로 채움으로써, 트랜지스터의 소오스와 캐패시터의 하부 전극을 연결하는 플러그(52)를 형성한다.

제 5b 도는 캐패시터의 하부전극(54)을 형성하는 단계를 도시한다.

이 단계는, 백금(Pt)계 또는 백금계 산화물을 증착하여 도전층을 형성하는 공정 및 상기 도전층을 패터닝하는 공정으로 진행된다.

상세하게는, 플러그가 형성된 결과물 상에 캐패시터의 하부전극을 형성하기 위한 도전물질층을 100~3,000Å 정도의 두께로 증착하여 도전층을 형성한 다음, 제1의 사진식각 공정을 사용하여 상기 도전층을 패터닝함으로써 캐패시터의 하부전극(54)을 형성한다.

상기 캐패시터의 하부전극(54)을 형성하기 위한 물질로는 고전도성이면서 내 산화성의 도전물질, 즉 백금(Pt), 루테튬(Ru), 이리듐(Ir), 팔라듐(Pd), 로렌튬(Os) 등의 금속과, 산화이리듐(IrO₂), 산화백금(platinum oxide), 산화오스뮴(Osmium oxide), 산화인듐(Indium oxide), 인듐주석산화물(Indium Tin Oxide : ITO) 또는 산화루테튬(RuO₂) 등의 전도성 산화물 중의 어느 한 물질 또는 이들 물질의 조합을 사용한다.

상기 전극물질의 증착방법으로는, 스퍼터링(sputtering) 또는 화학 기상 증착 (Chemical Vapor Deposition : CVD)법을 사용하는 것이 바람직하다. 예를 들어, 금속계의 금속의 경우, 상기 금속을 타겟(target)으로 사용하여 상온 ~500°C의 기판온도와 1~10mTorr의 챔버(chamber) 압력을 유지하여 아르곤(Ar) 분위기에서 DC 스퍼터링 방법을 사용하여 증착한다. 백금계 금속의 산화물을 사용하는 경우, 백금계 금속을 타겟으로 사용하여 1~10mTorr의 챔버압력을 유지하고, 아르곤(Ar) 가스에 5~50%의 산소(O₂)를 혼합한 분위기에서 RF 스퍼터링 또는 반응성 스퍼터링 방법을 사용하여 증착한다. 그리고 CVD 방법을 사용하여 백금(Pt)을 증착하는 경우에는, 백금-헥사플루오로아세틸아세토네이트(Pt-HFA)를 백금 소스(source)로 사용하여 100~500°C의 기판온도와 10mTorr ~10Torr의 압력하에서 100~1,000sccm의 아르곤(Ar)을 운반가스로 흘려줌으로써 증착할 수 있다.

제 5c 도는 캐패시터의 유전체막(56) 및 상부전극층 도전층(58)을 형성하는 단계를 도시한다.

이 단계는, 제 5b 도의 결과를 상에 강유전체를 증착하여 유전체막을 형성하는 공정 및 상기 유전체막 상에 백금계 또는 백금계 산화물을 증착하여 도전층을 형성하는 공정으로 진행된다.

상세하게는, 캐패시터의 하부전극이 형성된 결과를 상에 PZT와 같은 강유전체를 스퍼터링 또는 CVD 방법으로 증착하여 강유전체막(56)을 형성한 후, 그 위에 상기 하부전극을 형성한 물질, 즉 백금계 또는 백금계 산화물을 상기 하부전극(54)을 형성하는 방법과 동일한 방법으로 증착하여 상부전극용 도전층(58)을 형성한다.

상기 강유전체막(56)을 형성하기 위한 물질로는, 피.지.티(PZT), 납-티타늄 산화물(PbTiO_3), 납-란탄-티타늄 산화물(PbLaTiO_3), 바륨-티타늄 산화물(BaTiO_3), 비스무스-티타늄 산화물($\text{Bi}_2\text{Ti}_2\text{O}_7$), 스트론튬-비스무스-탄탈륨 산화물($\text{SrBiTa}_2\text{O}_9$), 비.에스.티(BST : BaSrTiO_3), 에스.티.오(STO : SrTiO_3) 등의 페로브스카이트 구조의 산화물과, 비스무스-티타늄 산화물($\text{Bi}_2\text{Ti}_2\text{O}_7$) 및 스트론튬-비스무스-탄탈륨 산화물($\text{SrBiTa}_2\text{O}_9$)로 이루어진 그룹에서 선택된 어느 하나를 사용할 수 있다.

예를 들어, 상기 BST를 스퍼터링 방법으로 증착할 경우, BST 소결체 타겟을 이용하여 550~650℃의 기판온도와 1~10mTorr의 챔버압력을 유지하고, 아르곤(Ar)과 산소(O_2)가 함유된 분위기에서 증착한다. 그리고, CVD 방법을 이용하여 증착할 경우에는, CVD 소스로서 $\text{Ba}(\text{DPM})_2$, $\text{Sr}(\text{DPM})_2$, $\text{Ti}(\text{DPM})_2$ 를 주성분으로 사용하고, 산화가스로는 산소(O_2)에 이질화산소(NO)이 10~50% 함유된 소스를 운반가스인 아르곤(Ar)에 실어 기판온도 550~800℃, 챔버압력 0.1~10Torr로 유지된 챔버속으로 흘려줌으로써 증착한다.

제 5d 도는 상부전극용 도전층(58)을 패턴닝하기 위한 사진공정 단계를 도시한다.

이 단계는, 상기 상부전극용 도전층 상에 포토레지스트 패턴을 형성하는 공정 및 상기 상부전극용 도전층 및 강유전체막을 식각하는 공정으로 진행된다.

상세하게는, 상부전극용 도전층(58)이 형성된 결과를 상에 마스크층을 형성하기 위한 물질, 예를 들어 포토레지스트를 0.5~5μm 정도의 두께로 스핀-도포(spin coating)한 후, 노광 및 현상 등을 거쳐 주변회로 영역을 오픈(open)시키는 포토레지스트 패턴(60)을 형성한다.

다음으로, 상기 포토레지스트 패턴(60)을 식각 마스크로 사용하여 주변회로 영역의 상기 상부전극용 도전층(58) 및 강유전체막(56)을 식각한다. 이 때, 상기 상부전극용 도전층(58)은 습식 또는 건식 식각방법을 사용하여 식각할 수 있다. 예를 들어, 습식식각의 경우에는 왕수를 식각액으로 사용하고, 건식식각의 경우에는 산소가스(O_2)와 염소가스(Cl_2)의 혼합가스를 사용할 수 있다.

제 5e 도는 폴리실리콘막(62)을 형성하는 단계를 도시한다.

이 단계는, 상기 포토레지스트 패턴을 제거하는 공정 및 결과물상에 폴리실리콘을 증착하는 공정으로 진행된다.

상세하게는, 상기 포토레지스트 패턴을 제거하고 세정공정을 거친 다음, 셀 영역 및 주변회로 영역의 결과물 상에 소정의 반도체 물질, 예를 들어 폴리실리콘을 증착하여 셀 영역에서는 상부전극과 배선층의 점착특성을 개선하기 위한 장벽층으로 사용되고, 주변회로 영역에서는 저항층으로 사용될 폴리실리콘막(62)을 형성한다.

상기 폴리실리콘막(62)을 형성하는 방법으로는, 예를 들어 실레인(SiH_4) 또는 디클로로실레인(SiH_2Cl_2)을 소스로 사용하고, 플라스마(plasma) 소스로써 인산(PH_3)을 첨가하여 챔버내로 흘려주고, 기판온도는 550~750℃의 온도에서 CVD 방법을 이용하여 증착한다.

상기 폴리실리콘막(62)의 두께 및 도핑 농도는, 반도체소자의 설계시 요구되는 주변회로 영역의 면저항(R_s), 예를 들어, 50~200Ω 정도가 되도록 적절히 조절한다. 본 발명의 바람직한 실시예에 따르면, 상기 폴리실리콘막의 두께는 100~3000Å 정도가 바람직하고, 이 두께에서 상기한 면저항값을 얻을 수 있도록 폴리실리콘의 도핑농도를 조절한다. 상기 폴리실리콘막의 도핑 농도를 조절하는 방법으로는, CVD 공정중 도판트를 챔버내에 첨가하여 증으로써 도핑농도를 조절하거나, 도포되지 않은 폴리실리콘을 증착한 후에 통상의 이온주입 또는 확산을 통해 조절할 수 있다.

상기 폴리실리콘막(62) 대신에, 텅스텐 실리사이드(WSi) 또는 티타늄 실리사이드(TiSi)과 같은 고용점금속의 실리사이드 막 또는 실리콘 나이트라이드(SiN), 산화알루미늄(Al_2O_3)막과 같은 절연막을 소정의 저항값을 갖도록 형성할 수 있다.

제 5f 도는 층간절연막(64) 및 콘택홀(66)을 형성하는 단계를 도시한다.

이 단계는, 상기 폴리실리콘막을 패터닝하는 공정, 결과물 상에 층간절연막을 형성하는 공정 및 캐패시터의 상부전극과 배선층을 연결하는 콘택홀을 형성하는 공정으로 진행된다.

상세하게는, 통상의 사진식각 공정을 사용하여 상기 폴리실리콘막을 패터닝함으로써, 셀 영역에서는 캐패시터의 상부전극(58)과 배선층의 접착특성을 좋게 하고, 상부 전극과 층간절연막 사이의 접촉에 의한 스트레스를 억제하는 장벽층(62a)으로 사용되고, 주변회로 영역에서는 소정 저항값을 갖는 저항층(62b)으로 사용될 폴리실리콘막 패턴을 형성한다. 이어서, 상기 결과물 상에 보론-인을 함유하는 실리콘(BPSG), 인을 함유하는 실리콘(Phosphorous Silicate Glass : PSG), 실리콘 글래스(Silicon Glass : SG), 스핀 온 글래스(Spin On Glass : SOG) 및 도우프되지 않은 실리콘(Undoped Silicate Glass : USG) 중의 어느 한 물질 또는 그 조합을 소정 두께, 예를 들어 2,000~10,000Å 정도 증착하여 층간절연막(64)을 형성한다.

다음에, 통상의 사진식각 공정을 사용하여 상기 층간절연막(64)을 부분적으로 식각함으로써 셀 영역의 캐패시터의 상부전극과 배선층을 연결하는 콘택홀(66)을 형성한다. 이 때, 상기 콘택홀(66)은 도시된 바와 같이, 폴리실리콘막(62a)의 표면이 노출되도록 형성할 수도 있고, 상기 폴리실리콘막(62a)까지 식각하여 폴리실리콘막 하부의 상부전극층(58)의 표면이 노출되도록 형성할 수도 있다.

제 5g 도는 장벽층(68), 배선층(70) 및 보호막(72)을 형성하는 단계를 도시한다.

이 단계는, 상기 콘택홀이 형성된 결과물 상에 장벽층(68)을 형성하는 공정, 결과물 상에 배선 금속을 증착하여 배선층(70)을 형성하는 공정, 상기 배선층 및 장벽층을 패터닝하는 공정 및 결과물 상에 보호막(72)을 형성하는 공정으로 진행된다.

상세하게는, 콘택홀이 형성된 상기 결과물 상에 티타늄(Ti / 티타늄 나이트라이드(TiN)의 어중막, 이리듐(Ir) 또는 산화 이리듐(IrO) 중의 어느 한 물질을 100~1,000Å의 두께로 증착하여 상기 폴리실리콘막(62a)과 이후에 형성될 배선층 사이의 상호확산을 방지하고, 옴릭콘택(ohmic contact)을 형성하기 위한 장벽층(68)을 형성한다. 이어서, 결과물 상에 배선 금속, 예를 들어 알루미늄(Al)(70)을 3,000~10,000Å 정도의 두께로 증착한 다음, 통상의 사진식각 공정을 사용하여 상기 장벽층(68) 및 배선층(70)을 패터닝한다. 이어서, 통상의 디램(DRAM) 제조공정을 사용하여 보호막(72) 형성 후, 소자의 공정을 진행하여 소자를 완성한다.

상기한 본 발명의 제1 실시예에 따르면, 강유전체 캐패시터의 상부전극층 위에 주변회로 영역의 저항층으로 사용될 수 있는 물질층을 상입함으로써, 상부전극과 층간절연막의 접촉에 의한 스트레스를 억제할 수 있고, 주변회로 영역의 저항층을 캐패시터 형성과 동시에 형성할 수 있으며, 상부전극층과 배선층 사이의 접착특성을 향상시켜 소자의 신뢰성을 향상시킬 수 있다.

[제 2 실시예]

제 6 도는 본 발명의 제2 실시예에 의한 강유전체 캐패시터를 구비하는 반도체 메모리장치의 제조방법을 설명하는 단면도이다. 본 발명의 제1 실시예와 동일한 물질층에 대해서는 동일한 참조번호를 사용하였다.

본 발명의 제2 실시예는, 캐패시터의 상부전극과 폴리실리콘막 사이의 상호확산 등의 반응이 심할 경우에 적합한 것으로, 특히 상부전극을 백금(Pt)으로 형성할 경우에 해당된다.

이는, 백금(Pt)으로 이루어진 상부전극층(74) 상에 제1 장벽층을 형성하는 공정, 상기 제1 장벽층 상에 폴리실리콘막을 형성하는 공정, 사진공정에 의해 주변회로 영역의 폴리실리콘층을 노출시키는 공정, 및 상기 폴리실리콘층, 제1 장벽층

및 상부전극층을 패터닝하는 공정으로 진행된다.

상세하게는, 본 발명의 제1 실시예와 동일한 방법으로 상부전극용 도전층으로 백금(Pt)층(74)을 형성한 후(제 5d 도 참조), 백금(Pt)과 폴리실리콘막(62a)의 반응을 방지하기 위하여 상기 백금층(74) 상에, 백금(Pt)과 폴리실리콘의 반응을 막아주는 물질, 예를 들어 티타늄 나이트라이드(TiN), 이리듐(Ir), 산화이리듐(Ir₂O₃), 산화루테튬(RuO₂) 또는 루테튬(Ru) 중의 어느 한 물질을, 예를 들어 스퍼터링 방법으로 100~1,000Å 정도의 두께로 증착함으로써 제1 장벽층(76)을 형성한다. 이후의 폴리실리콘막 형성, 상부전극층 패터닝, 콘택홀 형성공정 및 후속되는 공정은 본 발명의 제1 실시예와 동일한 방법으로 진행되므로, 도시 및 설명을 생략한다.

본 발명의 제2 실시예에 의한 강유전체 캐패시터의 제조방법에 따르면, 강유전체 캐패시터의 상부전극층 위에 폴리실리콘 또는 저항층을 형성하기 위한 물질층을 삽입하는 물론, 상기 물질층과 상부전극층 사이에 상호반응을 방지하기 위한 장벽층을 형성함으로써, 소자의 신뢰성을 더욱 향상시킬 수 있다.

[제 3 실시예]

제 7 도는 본 발명의 제3 실시예에 의한 강유전체 캐패시터를 구비하는 반도체 메모리장치의 제조방법을 설명하기 위한 단면도이다. 본 발명의 제1 실시예 및 제2 실시예와 동일한 물질층에 대해서는 동일한 참조번호를 사용하였다.

본 발명의 제3 실시예는 상부전극(58)과 배선층(70) 사이에 형성되는 물질층(78a, 78b)을 형성하는 물질로서 폴리실리콘을 사용하는 대신에 다른 저항체를 사용하는 경우에 적용된다. 이 때, 사용되는 저항체로서는 실리콘산화막(SiO₂), 산화알루미늄(Al₂O₃), 또는 실리콘질화막(SiN) 등이며, 이 외의 제조공정은 본 발명의 제1 실시예와 동일한 방법으로 진행되므로 설명을 생략하기로 한다. 다만, 폴리실리콘 대신에 저항체를 사용할 경우에는, 제 7 도에 도시된 바와 같이, 배선층(68, 70)과 상부전극(58)을 연결하기 위한 콘택홀을 형성할 때 저항체까지 식각하여 상부전극(58)의 표면이 노출되도록 형성하여야 한다.

상술한 본 발명에 의한 강유전체 캐패시터를 구비하는 반도체 메모리장치 및 그 제조방법에 따르면, 캐패시터의 상부전극 위에 반도체층 또는 저항체층을 삽입함으로써, 첫째, 캐패시터의 상부전극과 중간절연막의 접촉에 의해 스트레스가 유발되는 것을 억제할 수 있고, 둘째, 캐패시터 특성의 열화없이 반도체층 또는 저항체층을 주변회로 영역의 저항층으로 사용할 수 있다.

셋째, 상부전극과 배선층의 점착특성을 향상시킬 수 있다.

넷째, 상부전극의 백금(Pt)층과 강유전체막 사이의 점착특성을 향상시킬 수 있다.

본 발명은 상기 실시예에 한정되지 않으며, 본 발명의 기술적 사상에서 당업자 분야의 통상의 지식을 가진 자에 의해 많은 변형이 가능함은 물론이다.

(57) 청구의 범위

청구항 1. 반도체기판의 상부에 형성된 하부전극과, 상기 하부전극 상에 형성된 강유전체막 및 상기 강유전체막 상에 형성된 상부전극으로 이루어진 강유전체 캐패시터를 포함하는 반도체 메모리장치에 있어서, 상기 상부전극 상에 형성되고, 상기 상부전극과 중간절연막 사이의 스트레스를 억제하기 위한 제1 장벽층이, 상기 제1 물질층상에 형성되고, 콘택홀이 형성된 중간절연막 및 상기 중간절연막 상에 형성되고, 상기 강유전체 캐패시터의 상부전극과 전기적으로 접속된 배선층을 구비하는 것을 특징으로 하는 반도체 메모리장치.

청구항 2. 제1항에 있어서, 상기 상부전극 및 하부전극은 백금(Pt), 팔라듐(Pd), 이리듐(Ir), 팔라듐(Pd), 오스뮴(Os) 등의 금속과, 산화이리듐(IrO₃), 산화백금(platinum oxide), 산화루테튬(Ruthenium oxide), 산화인듐(Indium oxide),

인듐주석산화물(Indium Tin Oxide : ITO) 또는 산화루테늄(RuO) 등의 전도성 산화물로 구성된 그룹에서 선택된 어느 하나 이상의 물질로 이루어진 것을 특징으로 하는 반도체 메모리장치.

청구항 3. 제1항에 있어서, 상기 유전체막은 페로프스카이트 구조의 산화물, 비스무스-티탄늄 산화물($\text{BiTi}_3\text{O}_{12}$) 및 스트론튬-비스무스-탄탈륨 산화물($\text{SrBi}_2\text{Ta}_2\text{O}_9$)로 구성된 그룹에서 선택된 어느 하나로 이루어진 것을 특징으로 하는 반도체 메모리장치.

청구항 4. 제3항에 있어서, 상기 페로프스카이트 구조의 산화물은 피.지.티(PZT), 납-티탄늄 산화물(PbTiO_3), 납-란타넘-티탄늄 산화물(PbLaTiO_3), 바륨-티탄늄 산화물(BaTiO_3), 비스무스-티탄늄 산화물($\text{Bi}_2\text{Ti}_2\text{O}_{12}$), 스트론튬-비스무스-탄탈륨 산화물($\text{SrBi}_2\text{Ta}_2\text{O}_9$), 비.에스.티(BST : BaSrTiO_3) 및 에스.티.오(STO : SrTiO_3)로 구성된 그룹에서 선택된 어느 하나인 것을 특징으로 하는 반도체 메모리장치.

청구항 5. 제1항에 있어서, 상기 제1 물질층은 $5 \sim 500 \text{ \AA}/\text{cm}^2$ 의 면저항을 갖는 것을 특징으로 하는 반도체 메모리장치.

청구항 6. 제5항에 있어서, 상기 제1 물질층은 텅스텐 실리사이드(WSi), 실리콘 나이트라이드(SiN) 및 산화알루미늄(Al_2O_3)으로 구성된 그룹에서 선택된 어느 하나로 이루어진 것을 특징으로 하는 반도체 메모리장치.

청구항 7. 제1항에 있어서, 상기 제1 물질층 상에 상기 제1 물질층과 배선층 사이의 반응을 방지하기 위한 제1 장벽층을 더 구비하는 것을 특징으로 하는 반도체 메모리장치.

청구항 8. 제7항에 있어서, 상기 제1 장벽층은 티타늄(Ti)/ 티타늄 나이트라이드(TiN)의 이중막, 이리듐(Ir), 루테늄(Ru), 산화루테늄(RuO_2) 또는 산화이리듐(IrO_2) 중의 어느 하나로 이루어진 것을 특징으로 하는 반도체 메모리장치.

청구항 9. 제1항에 있어서, 제7항에 있어서, 상기 상부전극과 제1 물질층 사이에, 상기 상부전극과 제1 물질층의 상호 반응을 방지하기 위한 제1 절연층을 더 구비하는 것을 특징으로 하는 반도체 메모리장치.

청구항 10. 메모리 셀 영역과 주변회로 영역을 포함하는 반도체기판 상의 메모리셀 영역에 캐패시터의 하부전극을 형성하는 단계 : 상기 하부전극 상에 유전체막을 형성하는 단계 : 상기 유전체막 상에 상부전극용 도전층을 형성하는 단계 : 상기 상부전극용 도전층 및 유전체막을 패턴닝하는 단계 : 결과물 상에 반도체 및/또는 절연체로 이루어진 제1 물질층을 형성한 후 패턴닝하는 단계 : 결과물 영역에서는 상기 상부전극과 층간절연막 사이의 스트레스를 억제하는 장벽층으로 사용되고, 주변회로 영역에서는 상기 상부전극으로 사용되는 제1 물질층 패턴을 형성하는 단계 : 결과물 상에 층간절연막을 형성한 후, 패턴닝하여 배선과, 상기 상부전극을 연결하는 콘택홀을 형성하는 단계 : 및 콘택홀을 통해 상기 캐패시터의 상부전극과 전기적으로 접속된 배선층을 형성하는 단계를 포함하는 것을 특징으로 하는 반도체 메모리장치의 제조방법.

청구항 11. 제10항에 있어서, 상기 상부전극 및 하부전극은 백금(Pt), 루테늄(Ru), 이리듐(Ir), 팔라듐(Pd), 오스뮴(Os) 등의 금속과, 산화인듐(InO), 산화백금(platinum oxide), 산화오스뮴(Osmium oxide), 산화인듐(Indium oxide), 인듐주석산화물(Indium Tin Oxide : ITO) 또는 산화루테늄(RuO) 등의 전도성 산화물로 구성된 그룹에서 선택된 어느 하나 이상의 물질로 이루어진 것을 특징으로 하는 반도체 메모리장치의 제조방법.

청구항 12. 제10항에 있어서, 상기 유전체막은 페로프스카이트 구조의 산화물, 비스무스-티탄늄 산화물($\text{BiTi}_3\text{O}_{12}$) 및 스트론튬-비스무스-탄탈륨 산화물($\text{SrBi}_2\text{Ta}_2\text{O}_9$)로 구성된 그룹에서 선택된 어느 하나로 형성하는 것을 특징으로 하는 반도체 메모리장치의 제조방법.

청구항 13. 제12항에 있어서, 상기 산화물 페로프스카이트 구조의 산화물은 피.지.티(PZT), 납-티탄늄 산화물(PbTiO_3), 납-란타넘-티탄늄 산화물(PbLaTiO_3), 바륨-티탄늄 산화물(BaTiO_3), 비스무스-티탄늄 산화물($\text{Bi}_2\text{Ti}_2\text{O}_{12}$), 스트론튬-비스무스-탄탈륨

산화물($\text{SrBi}_2\text{Ta}_2\text{O}_9$), 비.에스.티(BST : BaSrTiO_3) 및 에스.티.오(STO : SrTiO_3)로 구성된 그룹에서 선택된 어느 하나인 것을 특징으로 하는 반도체 메모리장치의 제조방법.

청구항 14. 제10항에 있어서, 상기 제1 물질층은 $5 \sim 500 \text{ \AA}/\text{cm}^2$ 의 면저항을 갖는 물질로 형성되는 것을 특징으로 하는 반도체 메모리장치의 제조방법.

청구항 15. 제14항에 있어서, 상기 제1 물질층은 텅스텐 실리사이드(WSi), 실리콘 나이트라이드(SiN) 및 산화알루미늄(Al_2O_3)으로 구성된 그룹에서 선택된 어느 하나로 형성하는 것을 특징으로 하는 반도체 메모리장치의 제조방법.

청구항 16. 제10항에 있어서, 상기 제1 물질층을 형성하는 단계 이후에, 상기 제1 물질층과 배선층 사이의 반응을 방지하기 위한 제1 장벽층을 상기 제1 물질층 상에 형성하는 단계를 더 구비하는 것을 특징으로 하는 반도체 메모리장치의 제조방법.

청구항 17. 제16항에 있어서, 상기 제1 장벽층은 티타늄(Ti)/ 티타늄 나이트라이드(TiN)의 이종막, 이리듐(Ir), 산화 이리듐(IrO_2), 루테늄(Ru) 및 산화루테늄(RuO_2) 중의 어느 하나로 형성하는 것을 특징으로 하는 반도체 메모리장치의 제조방법.

청구항 18. 제10항 또는 제16항에 있어서, 상기 제1 물질층을 형성하기 전에, 상기 상부전극과 제1 물질층의 상호 반응을 방지하기 위한 제2 장벽층을 상기 상부전극용 도전층 상에 형성하는 단계를 더 구비하는 것을 특징으로 하는 반도체 메모리장치의 제조방법.

청구항 19. 제7항에 있어서, 상기 제1 물질층은 폴리실리콘으로 이루어진 것을 특징으로 하는 반도체 메모리장치.

청구항 20. 제16항에 있어서, 상기 제1 물질층은 폴리실리콘으로 형성하는 것을 특징으로 하는 반도체 메모리장치의 제조방법.

청구항 21. 메모리셀 영역과 주변회로 영역을 포함하는 반도체기판 : 하부전극과, 상기 하부전극 상에 형성된 강유전체막 및 상기 강유전체막 상에 형성된 상부전극으로 이루어진 강유전체 캐패시터를 포함하여 상기 메모리셀 영역에 형성된 복수의 강유전체 메모리셀들 : 상기 강유전체 캐패시터의 상부전극 및 상기 주변회로 영역의 반도체기판 상에 반도체 및/또는 절연체로 형성되어, 상기 상부전극과 중간절연막 사이의 스트레스를 억제하고 주변회로 영역의 저항층으로 사용되는 제1 물질층 : 상기 제1 물질층 상에 형성되고, 콘택홀이 형성된 중간절연막 : 및 상기 중간절연막 상에 형성되고, 상기 강유전체 캐패시터의 상부전극과 전기적으로 접속된 배선층을 구비하는 것을 특징으로 하는 반도체 메모리장치.

청구항 22. 제21항에 있어서, 상기 상부전극 및 하부전극은 백금(Pt), 루테늄(Ru), 이리듐(Ir), 팔라듐(Pd), 오스뮴(Os) 등의 금속과, 산화이리듐(IrO_2), 산화백금(platinum oxide), 산화오스뮴(osmium oxide), 산화인듐(indium oxide), 인듐주석산화물(indium tin oxide : ITO) 또는 산화루테늄(RuO_2) 등의 전도성 산화물로 구성된 그룹에서 선택된 어느 하나 이상의 물질로 이루어진 것을 특징으로 하는 반도체 메모리장치.

청구항 23. 제21항에 있어서, 상기 유전체막은 페로프스카이트 구조의 산화물, 비스무스-티타늄 산화물(BiTiO_3) 및 스트론튬-비스무스-탄탈륨 산화물(SrBiTaO_6)로 구성된 그룹에서 선택된 어느 하나로 이루어진 것을 특징으로 하는 반도체 메모리장치.

청구항 24. 제23항에 있어서, 상기 페로프스카이트 구조의 산화물은 피.지.티(PZT), 납-티타늄 산화물(PbTiO_3), 납-란탄-티타늄 산화물(PbLaTiO_3), 바륨-티타늄 산화물(BaTiO_3), 비스무스-티타늄 산화물(BiTiO_3), 스트론튬-비스무스-탄탈륨 산화물(SrBiTaO_6), 비.에스.티(BST : BaSrTiO_3) 및 에스.티.오(STO : SrTiO_3)로 구성된 그룹에서 선택된 어느 하나인 것

을 특징으로 하는 반도체 메모리장치.

청구항 25. 제21항에 있어서, 상기 제1 물질층은 $5 \sim 500 \text{ } \Omega/\text{cm}$ 의 면저항을 갖는 것을 특징으로 하는 반도체 메모리장치.

청구항 26. 제25항에 있어서, 상기 제1 물질층은 텅스텐 실리사이드(WSi), 실리콘 나이트라이드(SiN) 및 산화알루미늄(Al_2O_3)으로 구성된 그룹에서 선택된 어느 하나로 이루어진 것을 특징으로 하는 반도체 메모리장치.

청구항 27. 제21항에 있어서, 상기 제1 물질층 상에 상기 제1 물질층과 배선층 사이의 반응을 방지하기 위한 제1 장벽층을 더 구비하는 것을 특징으로 하는 반도체 메모리장치.

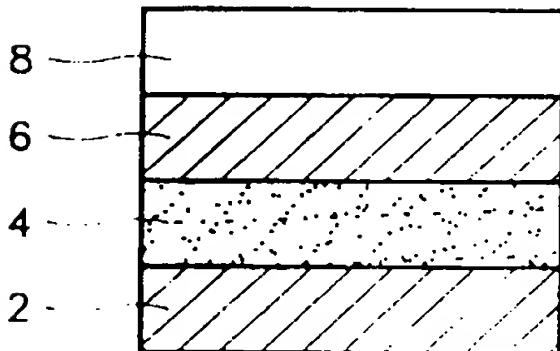
청구항 28. 제27항에 있어서, 상기 제1 장벽층은 티타늄(Ti)/ 티타늄 나이트라이드(TiN)의 이중막, 이리듐(Ir), 루테튬(Ru), 산화루테튬(RuO_2) 및 산화이리듐(IrO_2) 중의 어느 하나로 이루어진 것을 특징으로 하는 반도체 메모리장치.

청구항 29. 제21항 또는 제27항에 있어서, 상기 상부전극과 제1 물질층 사이에, 상기 상부전극과 제1 물질층 사이에, 상기 상부전극과 제1 물질층의 상호 반응을 방지하기 위한 제2 장벽층을 더 구비하는 것을 특징으로 하는 반도체 메모리장치.

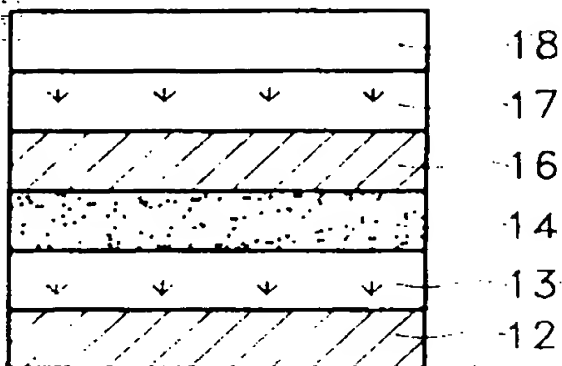
청구항 30. 제25항에 있어서, 상기 제1 물질층은 폴리실리콘으로 이루어진 것을 특징으로 하는 반도체 메모리장치.

도면

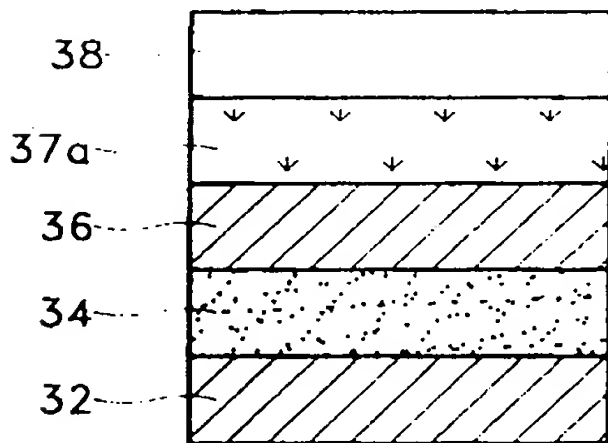
도면1



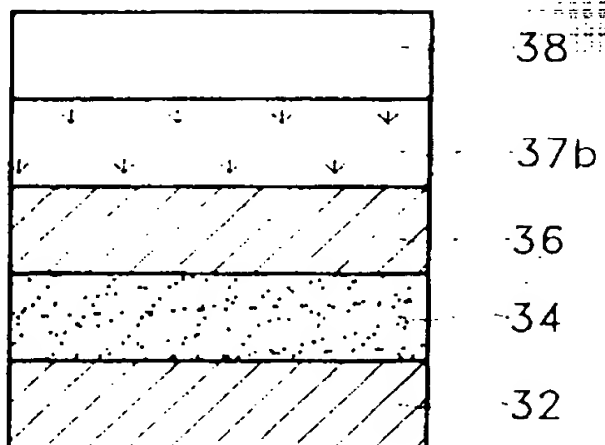
도면2



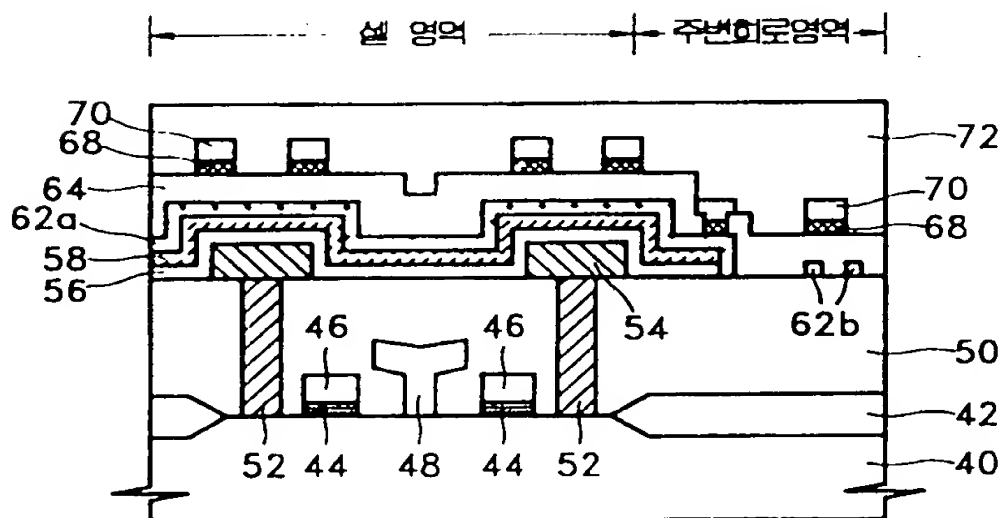
도면3a



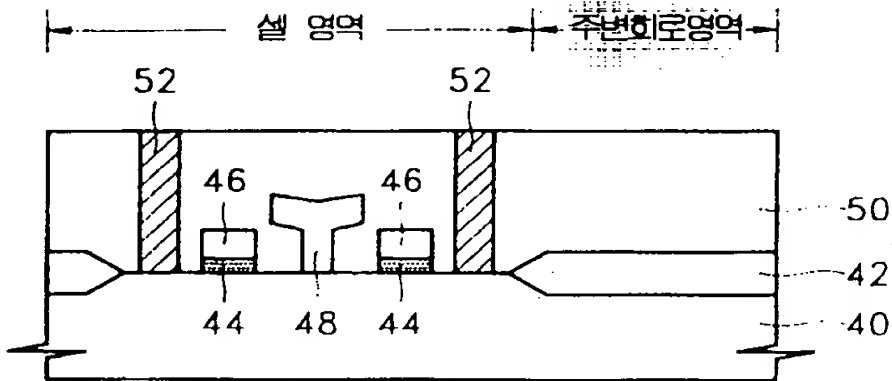
도면3b



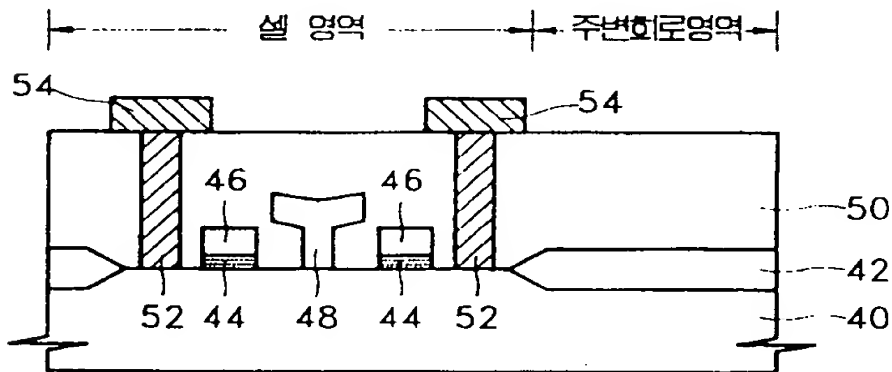
도면4



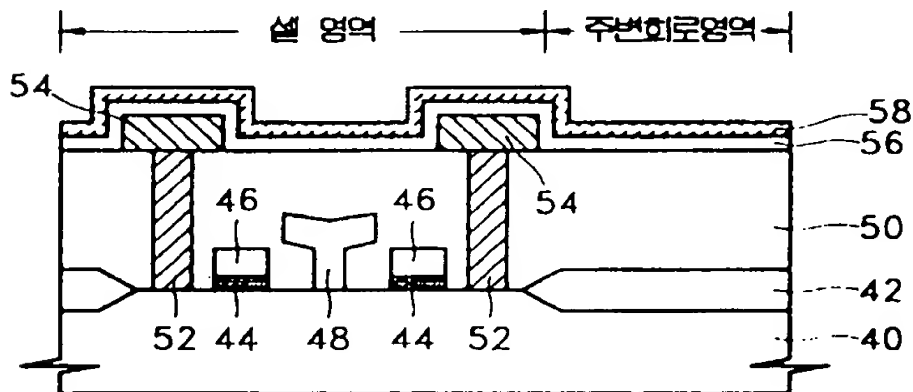
도면5a



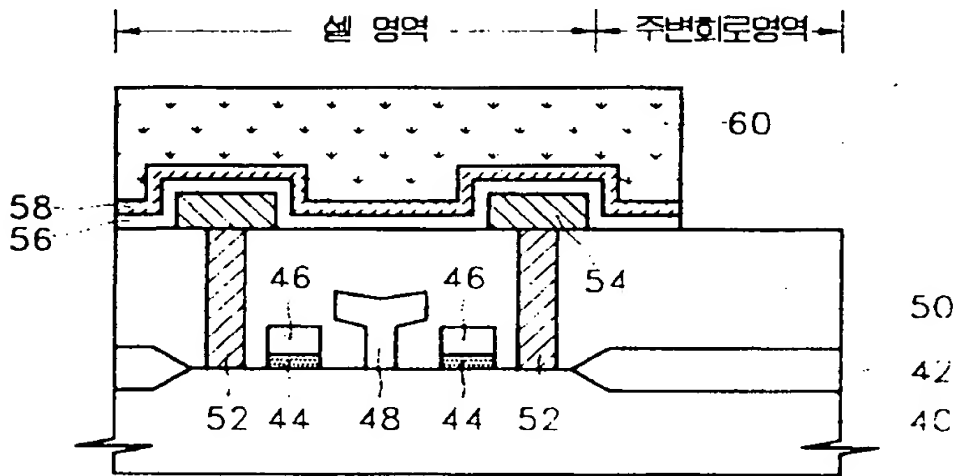
도면5a



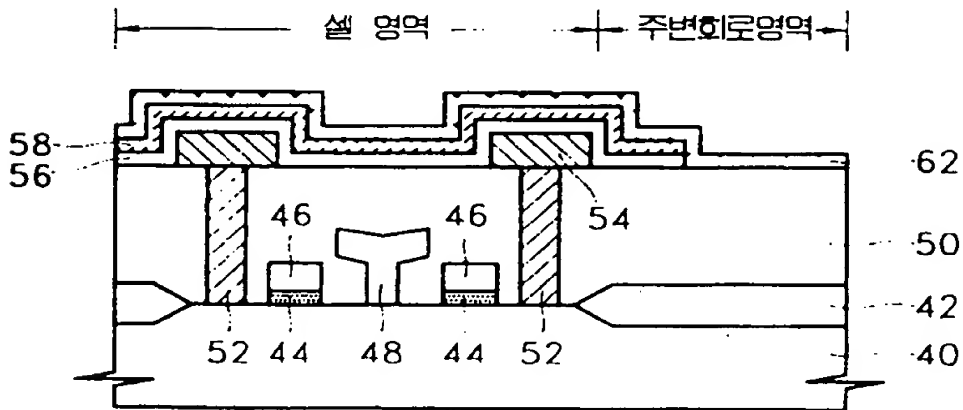
도면5b



도면5d

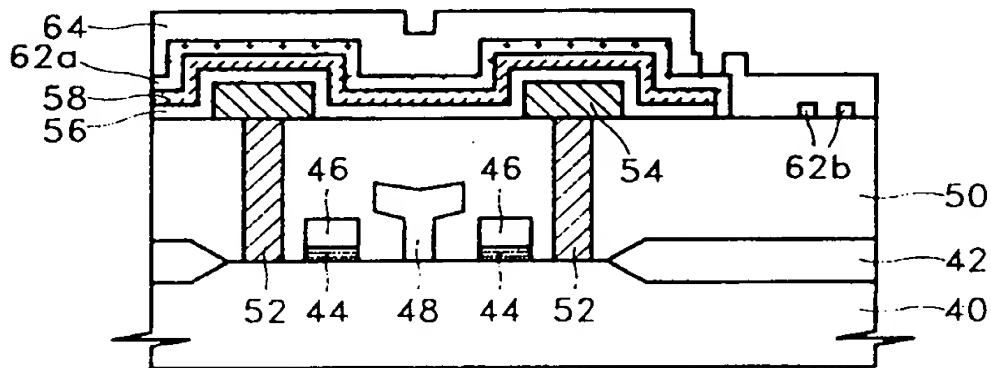


도면5e



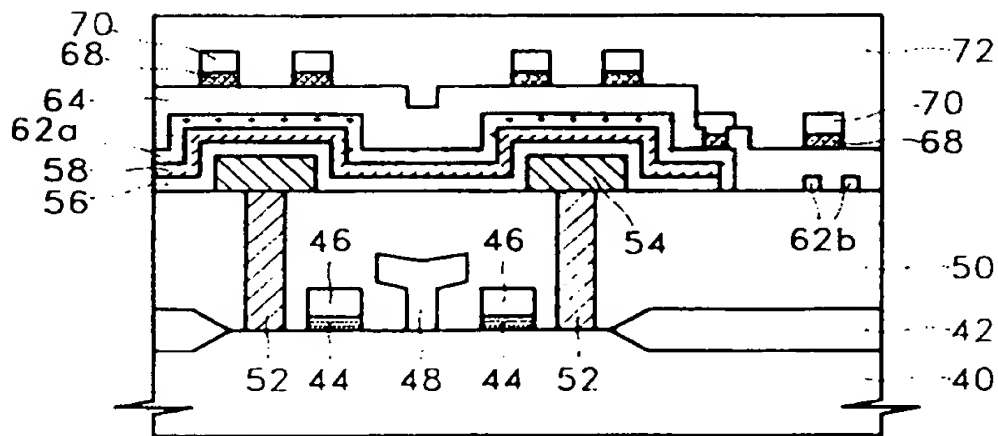
도면5f

셀 영역 주변회로영역

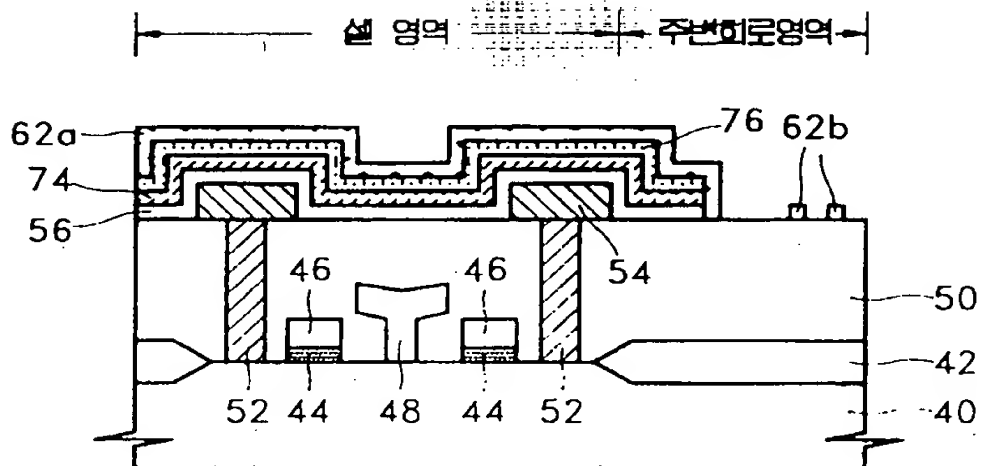


도면5g

셀 영역 주변회로영역



도면6



도면7

